

用于 MRI 系统的正交数据采集卡的设计研究*

姜忠德 俎栋林** 谷晓芳

北京大学重离子物理研究所, 北京大学医学物理和工程北京市重点实验室, 北京 100871

摘要 为小型磁共振成像(MRI)系统设计了一个基于 PCI 并行总线的正交采集卡. 采用高速模数转换器 ADS804 对 MRI 信号进行数字化采样, 用静态存储器(SRAM)暂存这数字化信号数据, 再通过 PCI 总线把数据从 SRAM 读入计算机. 所有的逻辑控制时序都由现场可编程逻辑器件(FPGA)产生. 用基于硬件描述语言的软件工具对 FPGA 进行设计, 并仿真、验证, 取得了比较理想的结果, 完全满足实际需求. 它具有参数可变以及控制方便等优点, 一般商用采集卡难以满足这些特殊要求.

关键词 数据采集 FPGA PCI 总线 MRI VHDL

在 MRI^[1] 系统中, 对数据的采集有特殊的要求, 要根据各种脉冲序列的不同要求来设置采样点数和采样间隔; 根据待采集信号的不同带宽来设置采样率. 正交数据采集的控制属于 MRI 核心技术之一. 数据采集卡本身是一个硬部件, 也是一个底层软部件. 它处在软硬件紧密结合的部位. 本文根据小型核磁共振成像系统的要求, 设计了一个基于 PC/PCI 总线的、12bit 的高速数据采集卡. 所有控制逻辑借助于现场可编程门阵列(FPGA)芯片^[2,3]用硬件设计语言(VHDL^[4])编程来实现.

1 材料与方法

1.1 正交解调原理

在无线电通讯技术中, 解调是调制的逆过程. 通过解调, 把载频去除, 把音频信号恢复出来, 一般不需要正交解调. 而在 MRI 系统中, 如果用单路解调, MRI 信号数字化后只能得到一个实数数据矩阵, 用 $\cos[\omega(x)t_x + \varphi(y)]$ 表示. 由于余弦函数经 Fourier 变换后, 会出现镜像负频率. 这导致用

这些数据进行 Fourier 变换重建图像后, 空间位置不能惟一确定. 正弦函数的 Fourier 变换也存在类似的问题. 如果用正交解调, 得到复数数据矩阵 $\cos[\omega(x)t_x + \varphi(y)] + i\sin[\omega(x)t_x + \varphi(y)]$, 经 Fourier 变换后, 不会出现镜像频率, 图像中体元的空间定位是惟一确定的. 正交相敏检波电路如图 1 所示.

1.2 MRI 正交数据采集系统设计方案

数据采集系统^[5,6]的设计方案如图 2 所示. 此正交数据采集卡包括两个模数转换器(ADC)、两个静态存储器(SRAM)、一个 FPGA 和一个 PCI 总线桥(PCI9052^[7])、两个运算放大器(OPA642). 另外还有恒温晶振时钟等其他元件.

两路相敏检波器出来的模拟信号经过电平转换电路单元实现信号电平的基线平移和幅度搭配, 然后送入 ADS804 进行数模转换, 转换出来的数据在 FPGA 产生的读、写信号和地址信号的控制下储存在 SRAM 中. ADC 的采样时钟来自在 FPGA 内设计的分频器对晶振时钟的分频, 分频值由 PC 机通过 I/O 端口写入 FPGA 内部寄存器, 可以在每次采

2005-05-10 收稿, 2005-08-02 收修改稿

* 国家自然科学基金资助项目(批准号: 19675005)

** 通讯作者, E-mail: dlzu@pku.edu.cn

样前自行设定. 数据采集结束后, FPGA 向 PC 机发送采样结束信号, SRAM 中的采样数据由

PCI9052 以 MASTER 主控的猝发方式直接读入计算机内存中.

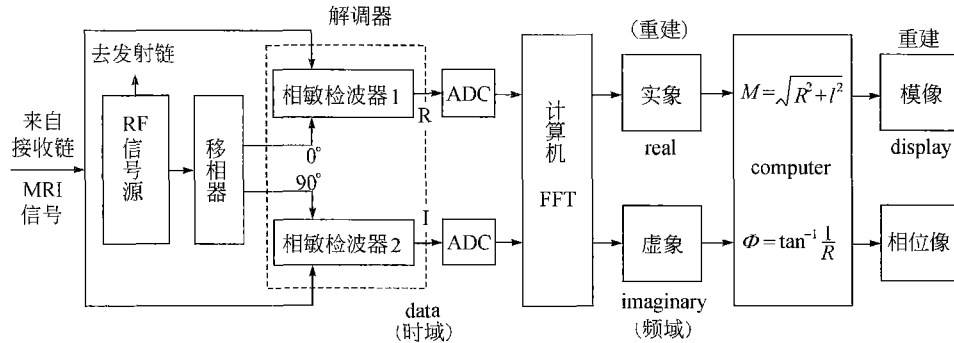


图 1 MRI 信号正交解调和图像重建步骤

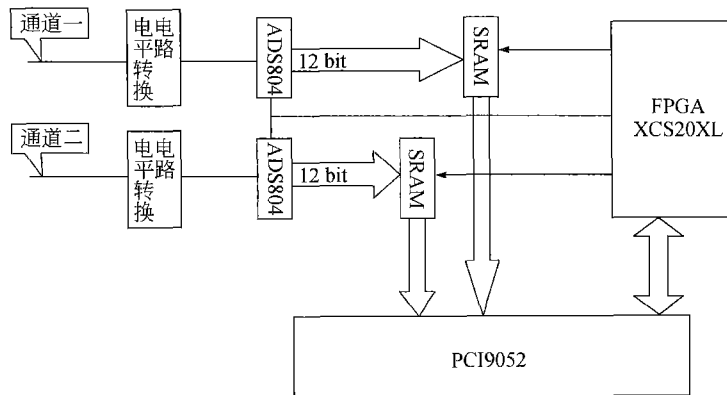


图 2 数据采集原理框图

1.3 PCI 总线控制器 PCI9052

PCI 总线协议是 Intel 公司 1992 年提出的, 为满足高速数据输入输出要求而设计的一种高性能的并行总线协议. PCI 总线控制器 PCI 9052 是 PLX 公司生产的 PCI 接口芯片, 支持 PCI 协议 2.1 版. PCI9052 的功能可以划分为 PCI 接口逻辑、串行 EEPROM 接口逻辑、本地总线接口逻辑和内部逻辑. 串行 EEPROM 中保存 PCI 接口芯片的配置信息, PCI9052 通过串行 EEPROM 接口逻辑完成对串行 EEPROM 的访问. 在上电期间, PCI RST# 信号有效, PCI9052 的内部寄存器复位到缺省值. 随后, PCI9052 输出本地复位信号 LRESET#, 并检测是否有串行 EEPROM 存在, 如果有串行 EEPROM 并且它的前 48 个位不全为 1 (说明此 EEPROM 中含有配置信息), PCI9052 就从该 EEPROM

中装载数据, 用来配置内部寄存器. 如果检测不到串行 EEPROM, PCI9052 的内部寄存器就使用缺省值.

1.4 模数转换芯片 ADS804

ADS804 是 Burr-Brown 公司生产的 10 MHz、12 位模数转换器. 模拟信号输入范围可以设为 2 V_{p-p} 和 5 V_{p-p}, 在进入 ADS804 六个采样时钟之后采样数据会出现在采样数据端口 (如图 3). 因此, 必须在第 7 个时钟到来之前将采样数据保存到 SRAM 中, 否则数据就会丢失. 为了防止数据丢失, 利用 FPGA 进行 6 个时钟的准确延时, 方法是将分频后的时钟分成两路, 一路直接用来采样, 另一路延时作为采样数据的读取时钟.

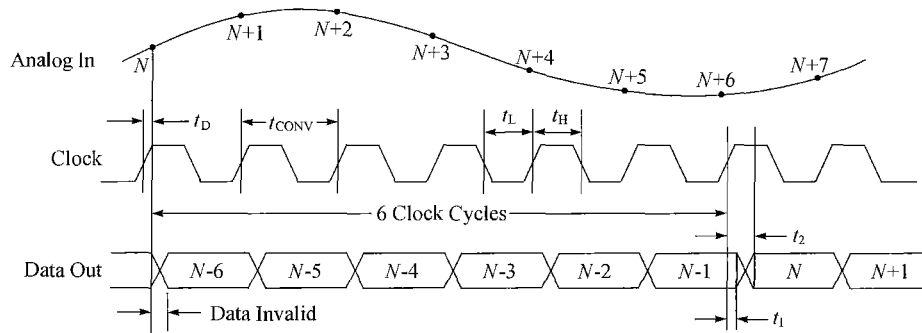


图3 ADS804模数转换时钟图

1.5 静态随机存储器(SRAM)

核磁共振成像采集数据量非常大,不适合实时读取,需要先将采样数据存储到卡上的静态存储器里,每采集完一步读取一次。因此,根据核磁共振成像的特点,我们选用了GALVANTECH公司的静态存储器GVT72256A16-12^[8],其存储空间为256k×16bit,存取时间为12ns,工作电压5V。

1.6 现场可编程逻辑门阵列(FPGA)

CPLD/FPGA的出现标志着是在数字逻辑电路设计领域一个革命,只有十多年的短暂历史,其发展十分迅速。这种器件具有静态可重复编程或在线动态重构的特性,使得硬件可以像软件一样通过编程来设计和修改,不仅使得设计修改变得十分方便,而且大大提高了电子系统的灵活性和通用能力。本设计采用Xilinx公司的XCS20XL^[9],它有400个可编程逻辑块(CLB),2万个系统门,工作电压为3.3V。每个CLB中包括3个用作函数发生器的查找表、2个触发器和2组信号数据选择器。FPGA在断电的时间会丢失数据,因此通常将FPGA的配置数据存放在与其兼容的SPROM中,上电时由逻辑电路控制将SPROM中的配置数据下载到FPGA中。对XCS20XL进行配置有3种模式:串行从模式、串行主模式和特快模式。此外,还可以通过边界扫描逻辑进行配置。此设计中是用串行主模式对XCS20XL进行配置。

1.7 数字逻辑电路的设计开发软件

FPGA被俗称为“电子面包板”,需要用软件

工具进行设计。生产FPGA的公司都有与自己公司产品配套的开发软件,如Xilinx公司的Foundation和ISE系列软件;ALTERA公司的MaxplusII和QuartusII软件等。用开发软件对FPGA进行设计的步骤大体可分为设计输入、功能仿真、设计综合、设计实现、时序仿真和器件配置等6步。前5步属于设计、调试、优化、验证,第6步是指设计定型后形成“位流文件”,把位流文件下载到FPGA中,于是FPGA中的电路结构就固定下来,这称谓“器件配置”。

2 结果

在FPGA内部设计的采样逻辑电路原理框图如图4所示。我们用一组寄存器来存储采样参数。ADSTART、RESET均来自控制寄存器。RESET高电平有效,用来复位计数器和D触发器,并把状态寄存器的采样结束位置成零。ADSTART下跳变信号到来时触发采样,减计数器开始计数,当减计数器减到零时产生一个高脉冲,复位计数器和触发器停止采样,同时置位状态寄存器的采样结束标志,等下一个ADSTART到来时,再次启动采样。设计中因为FPGA速度很快,尽量采用同步设计,在时序仿真中还要增加一些延时电路。采样点数通过减计数器来控制,采样时钟的上升沿到来时,计数器减1,当计数器减到0时,输出端口会产生一个高脉冲,表示该相位编码步采样结束。地址发生器为SRAM产生18位地址信号,它跟采样时钟同步,每采样一次就会产生一个地址信号,通过延时电路保证每次采样数据到达SRAM的时刻,地址信号也同时出现,以免数据丢失。我们用硬件语言

VHDL实现FPGA的所有逻辑功能,使用Xilinx公司的Foundation 3.1开发工具对其进行调试.FPGA完成的主要功能包括:寄存器组、分频模

块、采样时序控制、地址发生器以及减计数器等.下面给出一部分模块的具体设计以及功能仿真结果.

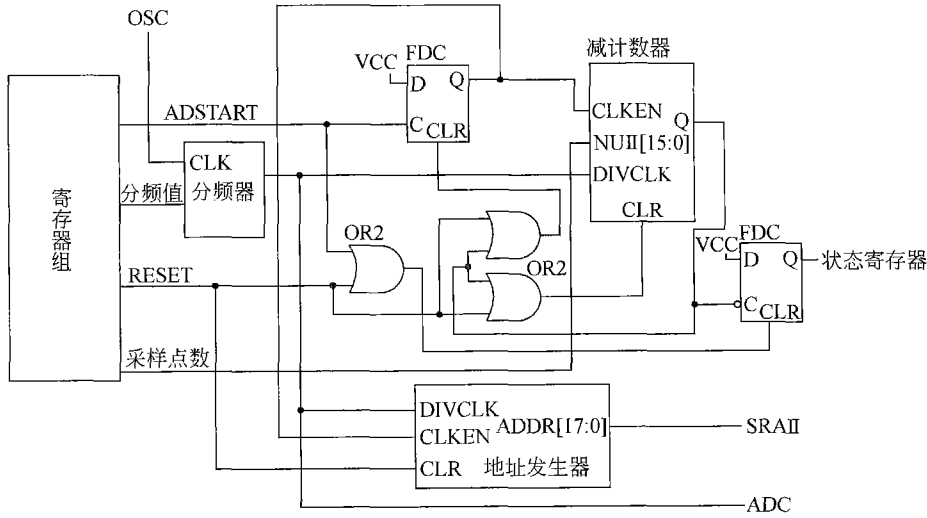


图4 FPGA内部采样控制部分电路原理框图

2.1 FPGA内部寄存器

如图5所示,在FPGA内部构建了6个8位的寄存器,用于存储采样点数、采样分频值以及采样的命令控制字和采样状态等.每次采样时,计算机通过I/O端口对FPGA的内部寄存器置初始参数,每个寄存器的地址端口通过译码电路实现.读I/O端口则可以得到AD的采样状态与AD溢出标志.

2.2 总线控制

PCI9052是局部总线控制器.采样开始前,计算机通过PCI9052设置FPGA内部寄存器初始值时,PCI9052占有局部总线主控权.采样期间,FPGA需要局部数据总线和局部地址总线主控权.FPGA通过将LHOLD置高向PCI9052请求局部总线主控权.如果PCI9052不忙,则通过将LHOLDA置高把局部总线交给FPGA.这时ADS804E采集的数据可以在读写控制信号和地址发生器地址的控制下直接写到SRAM中.采样结束后,PCI9052通过撤销LHOLDA重新要回

局部总线的控制权,将SRAM中的数据读到计算机内存中.

2.3 分频器

时钟分频器是将板上的晶振时钟(50 MHz)分频得到需要的采样时钟,分频值可以通过I/O方式设置任意的16位数值.分频公式为:

$$\text{采样时钟} = \text{晶振时钟}(50 \text{ MHz}) / (2 \times \text{分频值} + 2),$$

下面是用VHDL语言实现分频器的一个样例.

```

if (clk' event and clk = '1') then
    if (divcnt = "1111111111111111") then
        divcnt <= divdata;
        divclk <= '1';
    else
        divcnt <= divcnt + 1;
        divclk <= '0';
    end if;
end if;
    
```

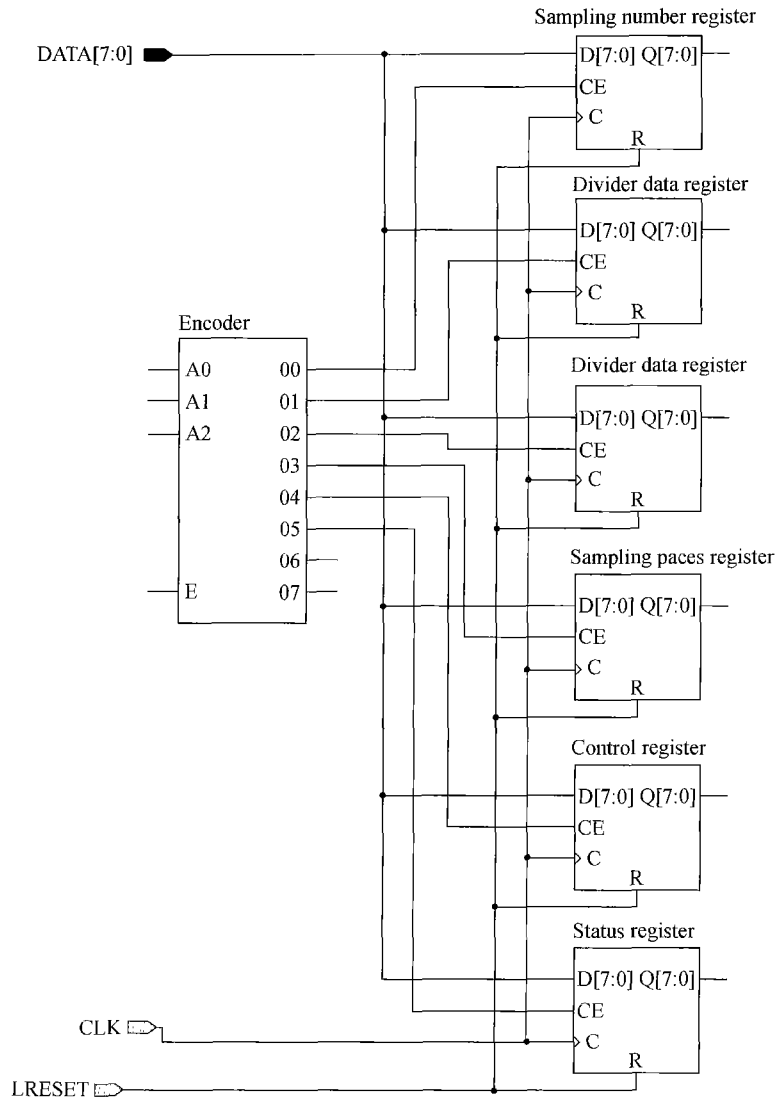


图 5 寄存器组结构图

2.4 采样控制逻辑

如图 6 是采样控制逻辑功能仿真图。图中 clk 为晶振时钟 50 MHz, adclk 为分频后时钟即为采样时钟。Samplenum 为采样点数设为 64, samplepace 为采样步数, adstart 为开始采样信号, adstop 为采样结束信号, sramaddre 是地址发生器产生的 SRAM 地址信号。可以看到当达到预设的采样点数时, adstop 就会变为高电平, 停止采样, lhold 也让出总线占有权, 状态寄存器 state(6)变为 1, 此时计算机将采样数据读走。

3 结论和讨论

出于成本考虑, 本文选用的 FPGA 器件 XCS20XL 和并行总线器件 PCI9052 都不是最新上市的产品, 然而对于实现小型 MRI 系统的功能来说是足够的。PCI9052 的正确配置和在 FPGA 中逻辑电路的正确设计是很关键的。掌握设计开发工具也是至关重要的, 我们用商业开发工具 ISE 对 FPGA 进行了成功的逻辑设计, 用它实现了卡上所有的时序, 取得了比较理想的结果。

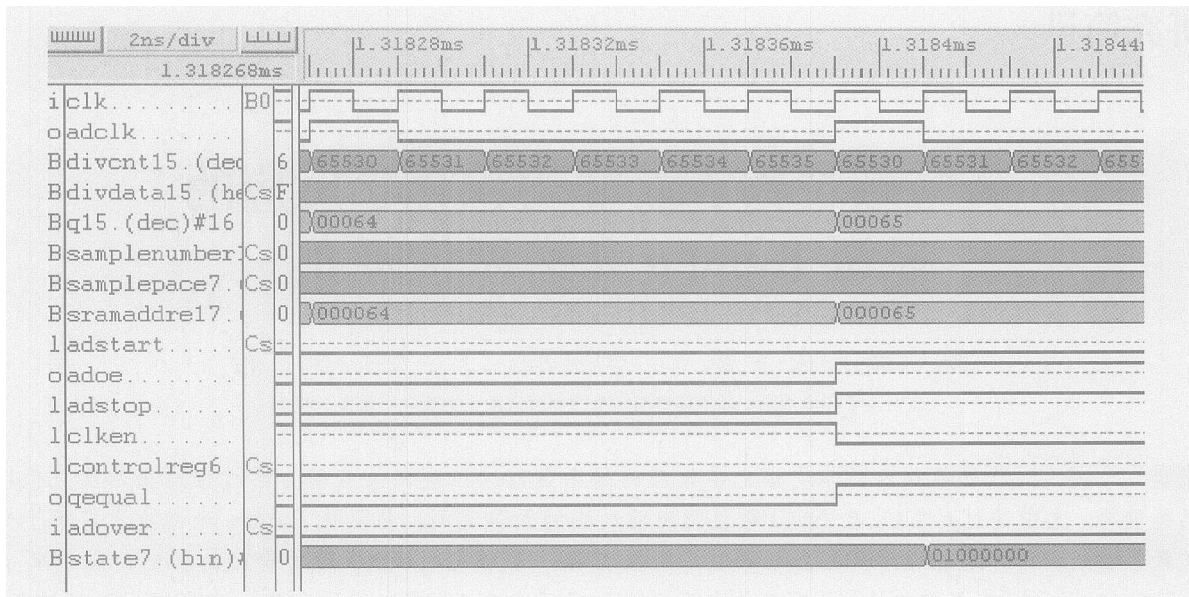


图 6 采样时序功能仿真图

致谢 在设计过程中, 李晓波、侯孝民等给予了许多的帮助和有益的讨论, 在此表示衷心的感谢。

参 考 文 献

- 1 组栋林. 核磁共振成像学. 北京: 高等教育出版社, 2004
- 2 徐志军. CPLD/FPGA 的开发与应用. 北京: 电子工业出版社, 2002
- 3 刘瑞新, 胡 健, 高明远, 等. VHDL 语言与 FPGA 设计. 北京: 机械工业出版社, 2004
- 4 朱明程, 孙 普, 等. 可编程逻辑系统的 VHDL 设计技术. 南京: 东南大学出版社, 1998
- 5 蒋 瑜, 蒋 赟, 肖鹏飞, 等. 核磁共振谱仪技术中的高速数据采集. 波谱学杂志, 2001, 18(3): 193—198
- 6 居桐, 肖延国, 赵军平, 等. 基于 PCI 总线直接 MASTER 模式的高速数据采集. 核电子学与探测技术, 2002, 22(5): 456—458
- 7 PLX Technology, Inc. PCI9052 datasheet version 2.0, Sep. 2001
- 8 GALVANTECH, Inc. Asynchronous SRAM, 1997
- 9 Xilinx. Spartan and Spartan-XL Families Field Programmable Gate Arrays. June 27, 2002